

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

JPAB

CLIPPEDIMAGE= JP402140676A

PAT-NO: JP402140676A

DOCUMENT-IDENTIFIER: JP 02140676 A

TITLE: MULTILEVEL DRIVING CIRCUIT

PUBN-DATE: May 30, 1990

INVENTOR-INFORMATION:

NAME

OKAYASU, TOSHIYUKI

ASSIGNEE-INFORMATION:

NAME

ADVANTEST CORP

COUNTRY

N/A

APPL-NO: JP63295530

APPL-DATE: November 21, 1988

INT-CL (IPC): G01R031/28

US-CL-CURRENT: 324/76.11

ABSTRACT:

PURPOSE: To reduce a current consumption by making the constitution to take out the voltages of each voltage source to the output terminal by the ON/OFF action of switching circuits.

CONSTITUTION: The voltages  $V_{<SB>1</SB>}$ - $V_{<SB>3</SB>}$  of the voltage sources 10-12

are outputted to the output terminal 6 selectively by the switching circuits

13-15 and waveforms with each level are produced. The switches 13-15 are

usually controlled to the OFF condition by clamping circuits 16 and 24. The

circuit 16 is made to operate so that potentials on each point B, F, J of the

respective circuits 13-15 are clamped to the voltage lower than any of the

voltages  $V_{<SB>1</SB>}$ - $V_{<SB>3</SB>}$  of the voltage sources 10-12.

The potentials

on each point C, G, K of the respective circuits 13-15 are clamped by the circuit

24 to the voltage  $V_{<SB>5</SB>}$  higher than any of the voltages

$V_{<SB>1</SB>}$ - $V_{<SB>3</SB>}$  of the voltage sources 10-12. Then the voltages

$V_{<SB>1</SB>}$ - $V_{<SB>3</SB>}$  with the values corresponding to the inputs of

rectangular waves  $VP_{<SB>1</SB>}$ ,  $VP_{<SB>2</SB>}$ ,  $VP_{<SB>3</SB>}$

supplying to input

terminals 51, 52, 53 are selected and outputted to the output

terminal 6,  
thereby the multilevel signal with the optional waveforms is  
produced.

COPYRIGHT: (C)1990, JPO&Japio

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-140676

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月30日

G 01 R 31/28

6912-2G G 01 R 31/28

Q

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 多値駆動回路

⑮ 特 願 昭63-295530

⑯ 出 願 昭63(1988)11月21日

⑰ 発 明 者 岡 安 俊 幸 東京都練馬区旭町1丁目32番1号 株式会社アドバンテ  
スト内

⑱ 出 願 人 株式会社アドバンテ スト 東京都練馬区旭町1丁目32番1号

⑲ 代 理 人 弁理士 草 野 卓

明 細 書

1. 発明の名称

多値駆動回路

2. 特許請求の範囲

(1) A. 互に異なる電圧を出力する複数の電圧源と、

B. この複数の電圧源のそれぞれの電圧を選択的に出力端子に取り出す複数のスイッチ回路と、

C. この複数のスイッチ回路を選択的にオン・オフ操作し、出力端子に上記複数の電圧源の電圧を取出す複数のスイッチ制御回路と、

によって構成した多値駆動回路。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は例えばIC試験装置に利用することのできる多値駆動回路に関する。

「従来技術」

ICの中にはH論理とL論理の他に例えば第4

図に示すように第3の電圧 $V_{11}$ を印加しなければならない種類のものがある。

このような3値の波形を被試験ICに与えるために従来は第5図に示すような多値駆動回路が用いられている。

この従来から用いられている多値駆動回路は差動的にオン・オフ動作するように接続された二対のトランジスタ $Q_1$ 、 $Q_2$ 及び $Q_3$ 、 $Q_4$ と、一つの抵抗器Rと、トランジスタ $Q_1$ 、 $Q_2$ 及び $Q_3$ 、 $Q_4$ を流れる電流を $I_1$ と $I_2$ の値に制限する定電流回路1及び2と、トランジスタ $Q_1$ と $Q_2$ のベースに一定のバイアス電圧 $V_b$ を与えるイアス電圧源3とによって構成される。

トランジスタ $Q_1$ と $Q_2$ のベースには入力端子4と5から制御信号 $V_{11}$ と $V_{12}$ を与える。

制御信号 $V_{11}$ 、 $V_{12}$ とバイアス電圧 $V_b$ との関係が $V_{11} > V_b$ 、 $V_{12} > V_b$ のときはトランジスタ $Q_1$ と $Q_2$ は共にオフとなり、抵抗器Rには電流が流れないから出力端子6には電圧 $V_b$ が出力される。

制御信号 $V_{i1}, V_{i2}$ とバイアス電圧 $V_0$ との関係が $V_{i1} < V_0, V_{i2} > V_0$ のときはトランジスタ $Q_1$ がオン、トランジスタ $Q_2$ がオフとなる。このとき抵抗器 $R$ には定電流回路1の電流 $I_1$ が流れ抵抗器 $R$ には $R I_1$ の電圧降下が生じる。よってこのときの出力端子6の電圧は $V_0 - V_0 - R I_1$ となる。

制御信号 $V_{i1}, V_{i2}$ とバイアス電圧 $V_0$ との関係が $V_{i1} > V_0, V_{i2} < V_0$ である場合はトランジスタ $Q_1$ がオフ、トランジスタ $Q_2$ がオンとなる。このときは抵抗器 $R$ には定電流回路2の電流 $I_2$ が流れ、抵抗器 $R$ には $R I_2$ の電圧降下が生じる。よってこのとき出力端子6の電圧は $V_0 - V_0 - R I_2$ となる。定電流 $I_1$ と $I_2$ が $I_1 < I_2$ の関係に設定されているとすると、制御信号 $V_{i1}$ と $V_{i2}$ の論理によって第6図に示すように3値を持つ多値信号が出力され、この多値信号が例えば被試験IC等与えられる。

「発明が解決しようとする課題」

第5図に示した従来の多値駆動回路は抵抗器 $R$

のため波形の立上り及び立下りが時定数等で遅れることはない。よって立上り及び立下りが急峻に変化する多値波形を得ることができる。

「実施例」

第1図にこの発明の一実施例を示す。第1図において、11, 12, 13は予め設定された直流電圧 $V_1, V_2, V_3$ を出力する電圧源を示す。この例では3値の多値波形を発生させるために3つの電圧源を設けた場合を示す。

この電圧源10, 11, 12の電圧 $V_1, V_2, V_3$ はスイッチ回路13, 14, 15によって選択的に出力端子6に出力させ多値波形を生成する。この例ではダイオードブリッジ回路によってスイッチ回路を構成した場合を示す。

これらスイッチ回路13, 14, 15は平常はクランプ回路16と24によってオフに制御される。クランプ回路16は各スイッチ回路13, 14, 15の各B, F, J点の電位を電圧源10, 11, 12の電圧 $V_1, V_2, V_3$ のどれよりも低い電圧にクランプする動作を行なう。このため

の電圧降下を利用して波形を生成するから消費電流が大きく効率が悪い。

また大きい振幅を得るために抵抗器 $R$ の抵抗値を大きくすると出力端子6と共通電位との間に形成される浮遊容量と、この抵抗器 $R$ とによって形成される時定数が大きくなり、多値波形の立上り時間が遅くなってしまう欠点がある。

この発明の目的はこれらの欠点を一掃することのできる多値駆動回路を提供するにある。

この発明では予め設定された多値の値を持つ複数の直流電圧源を用意し、この複数の電圧源の電圧をスイッチ回路で選択的に出力端子に取出す構造としたものである。

このようにこの発明によれば予め決められた互に異なる電圧を出力する直流電圧源を複数用意し、この複数の電圧源の電圧をスイッチ回路で選択的に取出して多値波形を生成するものである。この結果抵抗器で電圧降下を発生させて多値信号を得る方法と比較して効率がよい。

然も発生している電圧をスイッチで取出す構造

に電圧源13, 14, 15の電圧 $V_1, V_2, V_3$ より低い電圧 $V_0$  ( $V_0 < V_1, V_2, V_3$ )を発生する電圧源17と、この電圧源17と各スイッチ回路13, 14, 15を各別に接続する絶縁用ダイオード18, 19, 20と、この絶縁ダイオード18, 19, 20を通じて電流 $I$ を引き込む定電流回路21, 22, 23とによって構成される。

従って上側のスイッチ制御回路41を構成するトランジスタがオンに制御されない状態では各スイッチ回路13, 14, 15の各点B, F, Jは電圧源17の電圧 $V_0$ にクランプされる。

一方スイッチ回路13, 14, 15の下側の点C, G, Kはクランプ回路24によって電圧源10, 11, 12の電圧 $V_1, V_2, V_3$ のどの電圧よりも大きい電圧 $V_0$ にクランプされる。つまり電圧 $V_0$ は $V_0 > V_1, V_2, V_3$ の関係に設定され、定電流回路26, 27, 28から絶縁ダイオード29, 30, 31を通じて電流を吸込むことによってC, G, Kの各点の電位を電圧

$V_1$ にクランプする。

このようにクランプ回路16と24のクランプ電圧 $V_1$ と $V_2$ を $V_1 < V_2$ に設定したことによってダイオードブリッジによって構成したスイッチ回路13、14、15はオフの状態に制御される。

ここで上側のスイッチ制御回路41と下側のスイッチ制御回路42を構成するトランジスタ41A及び42Aがオンに制御されたとすると、トランジスタ41Aからは定電流回路43から21の電流がスイッチ回路13に流し込まれる。

また下側のトランジスタ42Aは定電流回路44により21の電流を吸引する。

この結果上側のトランジスタ41Aから流し込まれた電流の半分1は定電流回路21に流れ込み、残る半分の電流1はスイッチ回路13を通過して下側のトランジスタ42Aに流れ込む。下側のトランジスタ42Aには更に定電流回路26から1の電流が流れ込み、合せて21の電流が流れる。

このように定電流回路21と26の電流はクラ

50Aはスイッチ制御回路41、42のトランジスタ41Aと42Aをオン、オフ駆動する駆動回路、50Bはスイッチ制御回路41、42のトランジスタ41Bと42Bをオン、オフ駆動する駆動回路、50Cはスイッチ制御回路41、42のトランジスタ41Cと42Cをオン、オフ駆動する駆動回路をそれぞれ示す。

これら各駆動回路50A、50B、50Cはそれぞれ差動接続された二対のトランジスタA、B、C、Dによって構成される。トランジスタA、BはNPN型トランジスタが用いられ、トランジスタC、DはPNP型トランジスタが用いられる。

これら差動接続された二対のトランジスタA、B及びC、DはトランジスタA、CとB、Dのベースを共通接続し、トランジスタA、Cの共通接続したベースをそれぞれ入力端子51、52、53に接続する。

またトランジスタB、Dのベースは全て共通接続し、この共通接続点にバイアス電圧 $V_0$ を与える。

ンプ用電圧源17と25に流れ込むことなく、トランジスタ41Aと42Aを流れる状態に切り替わり、スイッチ回路13には電流1が流れる。よってこのときスイッチ回路13を構成するダイオードは全てオンの状態となり電圧源10の電圧が出力端子6に取出される。

このようにして上側のスイッチ制御回路41と、下側のスイッチ制御回路42のトランジスタ41Aと42A及び41Bと42B、41Cと42Cの何れか一つの組がオンに制御されることによってスイッチ回路13、14、15の何れか一つがオンに制御され、このときスイッチ回路13、14、15に接続した電圧源13、14、15の電圧 $V_1$ 、 $V_2$ 、 $V_3$ の何れかが出力端子6に選択されて出力される。この出力された電圧は必要に応じてバッファ増幅器45を通じて例えば被試験IC(特に図示しない)に与えられる。

50A、50B、50Cはそれぞれスイッチ制御回路41と42の各トランジスタ41A～41C及び42A～42Cを制御する駆動回路を示す。

このように構成することによって入力端子51、52、53にバイアス電圧 $V_0$ を越えると共に正パルスを与えることによってトランジスタAとDがオンの状態に反転し、スイッチ制御回路41、42のトランジスタをオンの状態に駆動することができる。

この様子を第2図に示す。入力端子51に矩形波VP<sub>1</sub>が与えられた区間(第2図A)ではスイッチ制御回路41と42のトランジスタ41A、42Aがオンの状態となり電圧源10の電圧 $V_1$ を出力端子6に出力する。

入力端子52に矩形波VP<sub>2</sub>が与えられた区間(第2図B)ではスイッチ制御回路41と42のトランジスタ41B、42Bがオンの状態となり第2図Dに示すように電圧源11の電圧 $V_2$ を出力端子6に出力する。

入力端子53に矩形波VP<sub>3</sub>が与えられた区間(第2図C)ではスイッチ制御回路41と42のトランジスタ41Cと42Cがオンとなり第2図Dに示すように電圧源12の電圧 $V_3$ を出力端子

Gに出力する。

このようにして入力端子51、52、53に与える矩形波VP<sub>1</sub>、VP<sub>2</sub>、VP<sub>3</sub>の入力に対応した値を持つ電圧V<sub>1</sub>、V<sub>2</sub>、V<sub>3</sub>が選択されて出力端子6に出力され、任意の波形を持つ多値電圧信号を生成することかできる。

第3図はこの発明の変形実施例を示す。この例では第1図で説明したクランプ電圧源17と25を省略し、これに代えて各電圧源10、11、12の電圧をダイオードD<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>を通じてクランプ回路16と24を構成するダイオード18、19、20と29、30、31に与え、電圧源10、11、12の中の最高電圧V<sub>max</sub>と最低電圧V<sub>min</sub>を選択して自動的にクランプ電圧として利用するように構成した場合を示す。図は駆動回路を省略して示している。

尚第1図の実施例では3値信号を出力する場合について説明したが、3値に限らず更に多くの値を持つ多値信号を生成するように構成することができる。

はこの発明の変形実施例を示す接続図、第4図は従来の技術を説明するための接続図、第5図は第4図の動作を説明するための波形図である。

6：出力端子、10、11、12：電圧源、  
13、14、15：スイッチ回路、16、24：  
クランプ回路、41、42：スイッチ制御回路、  
50A、50B、50C：駆動回路、51、52、  
53：入力端子。

#### 「発明の効果」

以上説明したようにこの発明によれば各電圧源10、11、12の電圧V<sub>1</sub>、V<sub>2</sub>、V<sub>3</sub>をスイッチ回路13、14、15のオン、オフ動作によって出力端子6に取出す構成とし、抵抗器の電圧降下によって多値電圧を生成する構造でないため電流消費量を少なくすることができる。

また抵抗器の電圧降下を利用して多値信号を生成するから出力端子6に浮遊容量が存在しても、時定数回路が形成されない。

この結果立上り及び立下りの速度が速い多値信号を得ることができる。

また電圧源から各別に電圧を出力するから一つの電圧源の電圧設定変更が他に影響を与えることがない。よって単独で電圧の設定を行なうことができる。更に電圧間の遷移状態における動的特性に影響を与えない。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例を示す接続図、第2図はその動作を説明するための波形図、第3図

特許出願人 株式会社アドバンテスト  
代理人 草野 卓

図 1

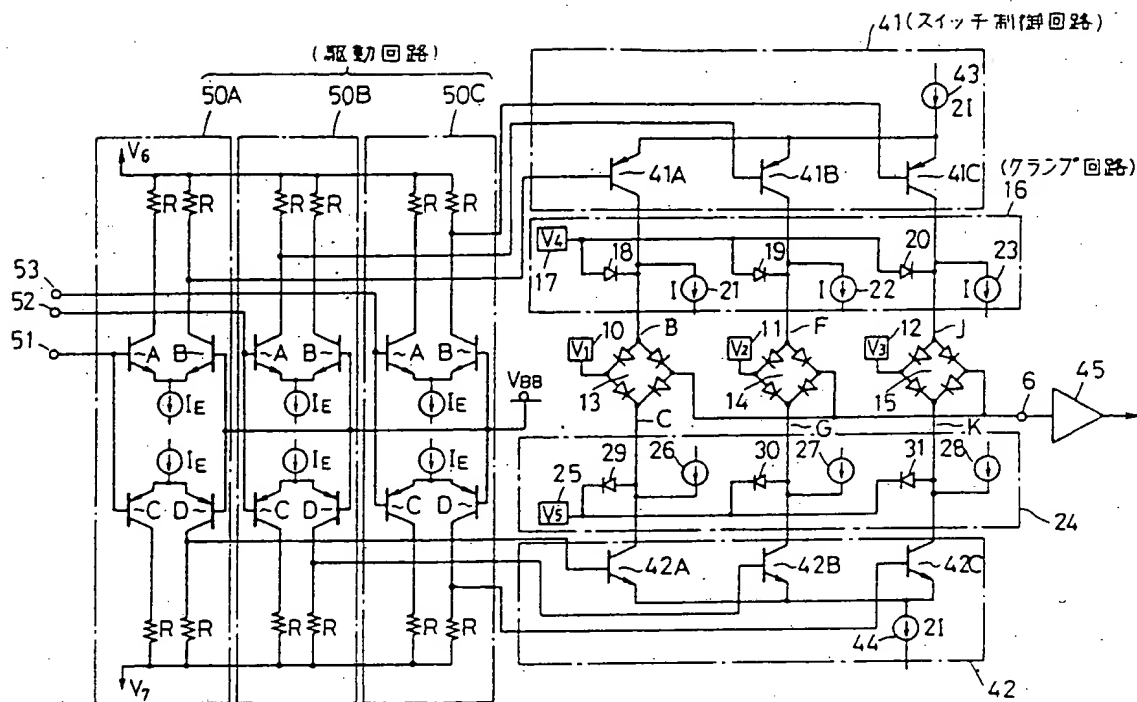


図 2

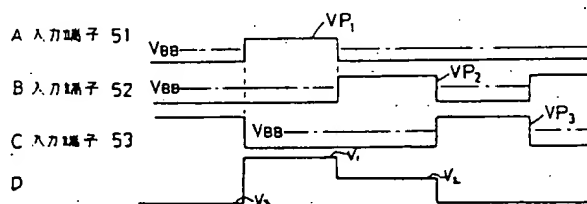
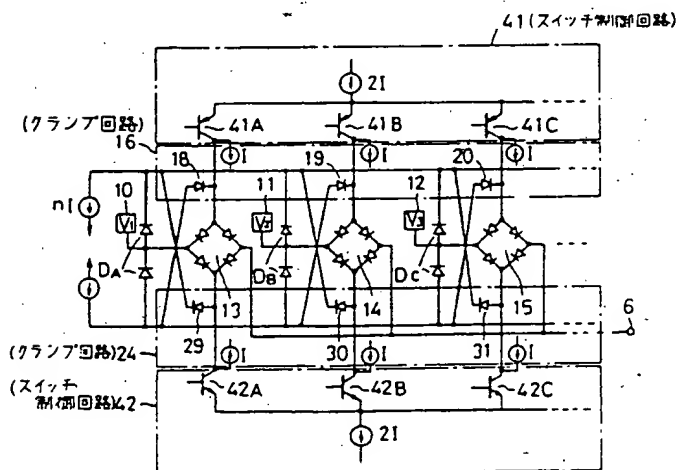


図 3





特開平2-140676(6)

手 続 補 正 書 (方式)

平成1年3月22日

特許庁長官 殿

1. 事件の表示 特願昭63-295530

2. 発明の名称 多値駆動回路

3. 補正をする者 事件との関係 特許出願人

株式会社 アドバンテスト

4. 代 理 人 東京都新宿区新宿四丁目2番21号

相模ビル (電 03-350-6456)

6615 弁理士 草 野

5. 補正の対象 図面の簡単な説明の欄

6. 補正の内容

(1) 明細書13頁1行~3行「接続図、……波形図である。」を下記のとおり訂正する。

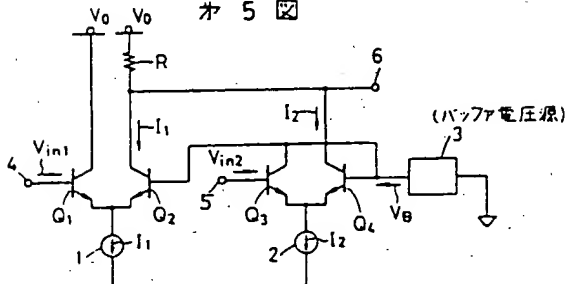
「接続図、第4図は第3図の動作を説明するための波形図、第5図は従来の技術を説明するための接続図、第6図は第5図の動作を説明するための波形図である。」

以 上  
式 (印) (印)

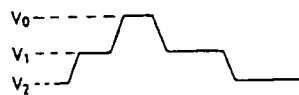
カ 4 図



カ 5 図



カ 6 図



手 続 補 正 書

( 自 発 )

平成1年5月19日

特許庁長官 殿

1. 事件の表示 特願昭63-295530

2. 発明の名称 多 値 駆 動 回 路

3. 補正をする者 事件との関係 特許出願人

株式会社 アドバンテスト

4. 代 理 人 東京都新宿区新宿四丁目2番21号

相模ビル (電 03-350-6456)

6615 弁理士 草 野

5. 補正の対象 明細書中発明の詳細な説明の欄

6. 補正の内容

(1) 明細書11頁13~14行「最高電圧 $V_H$ と最低電圧 $V_L$ を選択して」を「最高電圧 $H$ (第4図)と最低電圧 $L$ (第4図)を選択して」と訂正する。

(2) 同書同頁18~19行「多くの値を持つ多値信号」を「多くの多値信号」と訂正する。

特許庁  
1. 5.26